

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: April 16, 2003

Application Number: No. 2003-111716
[ST.10/C]: [JP 2003-111716]

Applicant(s) SHINKO ELECTRIC INDUSTRIES CO., LTD.

February 3, 2004

Commissioner,
Japan Patent Office Yasuo Imai (Seal)

Certificate No.2004-3005736

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月16日

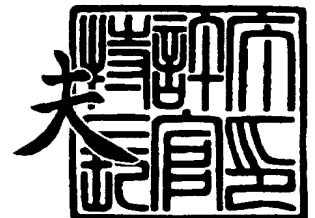
出願番号
Application Number: 特願2003-111716
[ST. 10/C]: [JP2003-111716]

出願人
Applicant(s): 新光電気工業株式会社

2004年 2月 3日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫





【書類名】 特許願

【整理番号】 SD14-344

【提出日】 平成15年 4月16日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01F 17/00

【発明の名称】 インダクタ素子及び電子回路装置

【請求項の数】 6

【発明者】

【住所又は居所】 長野県長野市大字栗田字舍利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 高池 英次

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0202532



【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 インダクタ素子及び電子回路装置

【特許請求の範囲】

【請求項 1】 スパイラル状の第 1 の導体と、
前記スパイラル状の第 1 の導体の内周端に形成される第 1 の外部接続端子と、
スパイラル状の第 2 の導体と、
前記スパイラル状の第 2 の導体の内周端に形成される第 2 の外部接続端子と、
前記スパイラル状の第 1 の導体の外周端と、前記スパイラル状の第 2 の導体の
外周端とを接続する第 3 の導体と、
を備えるインダクタ素子。

【請求項 2】 請求項 1 に記載のインダクタ素子において、
前記スパイラル状の第 1 及び第 2 の導体は、絶縁層を介して重ねて形成される
インダクタ素子。

【請求項 3】 請求項 2 に記載のインダクタ素子において、
前記スパイラル状の第 1 の導体は、基板上に形成されるインダクタ素子。

【請求項 4】 請求項 3 に記載のインダクタ素子において、
前記スパイラル状の第 2 の導体は、金配線により形成されるインダクタ素子。

【請求項 5】 請求項 1 乃至 4 の何れかに記載のインダクタ素子において、
前記第 1 の導体と前記第 2 の導体とが上方からの視点で交互に隙間なく形成さ
れているインダクタ素子。

【請求項 6】 請求項 1 乃至 5 の何れかに記載のインダクタ素子を基板上に
配置した電子回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スパイラル状の導体によって形成されるインダクタ素子に関する。

【0002】

【従来の技術】

従来から、半導体集積回路においては、基板上に薄膜成形技術等を利用してス



スパイラル状の導体を形成し、これをインダクタ素子として用いている。このようなインダクタ素子には、高周波信号が流れても安定した動作が可能であることが要求されている。この要求に応えるためには、インダクタ素子のインダクタンスを高くする必要がある。一般に、インダクタ素子のインダクタンスは、導体の巻回数を多くするほど大きくなる。

【0003】

しかし、導体の巻回数を多くすると、基板上におけるインダクタ素子の占有面積が広がるため、高集積化の妨げとなる。このため、スパイラル状の導体を2段に形成し、これらを接続することによって、基板上におけるインダクタ素子の占有面積が広がらないようにしつつ、インダクタンスを高くすることが行われている（例えば、特許文献1参照）。

【0004】

【特許文献1】

特開平3-89548号公報（第3頁、第3図）

【0005】

【発明が解決しようとする課題】

しかしながら、特許文献1に記載の2段に形成されたインダクタ素子は、いわゆるペリフェラル形であり、スパイラル状の導体の外周端に外部接続端子が形成される構造になっている。このため、スパイラル状の導体の形成領域の周辺に外部接続端子の形成領域を確保する必要があり、更なる高集積化の妨げとなっていた。

【0006】

そこで、本願の課題は、高インダクタンスを維持しつつ、更なる高集積化を図ったインダクタ素子を提供することである。

【0007】

【問題を解決するための手段】

上記課題を解決するために、本発明は請求項1に記載されるように、スパイラル状の第1の導体と、前記スパイラル状の第1の導体の内周端に形成される第1の外部接続端子と、スパイラル状の第2の導体と、前記スパイラル状の第2の導

体の内周端に形成される第 2 の外部接続端子と、前記スパイラル状の第 1 の導体の外周端と、前記スパイラル状の第 2 の導体の外周端とを接続する第 3 の導体とを備えるインダクタ素子である。

【0 0 0 8】

このようなインダクタ素子では、スパイラル状の導体の内周端に外部接続端子が形成されるため、スパイラル状の導体の形成領域の周辺に外部接続端子の形成領域を確保する必要がなく、更なる高集積化を図ることができる。また、スパイラル状の導体を 2 段に形成し、これらを接続することによって、インダクタ素子の占有面積が広がらないようにすることができる。

【0 0 0 9】

また、本発明は請求項 2 に記載されるように、請求項 1 に記載のインダクタ素子において、前記スパイラル状の第 1 及び第 2 の導体は、絶縁層を介して重ねて形成される。

【0 0 1 0】

また、本発明は請求項 3 に記載されるように、請求項 2 に記載のインダクタ素子において、前記スパイラル状の第 1 の導体は、基板上に形成される。

【0 0 1 1】

また、本発明は請求項 4 に記載されるように、請求項 3 に記載のインダクタ素子において、前記スパイラル状の第 2 の導体は、金配線により形成される。

【0 0 1 2】

基板上にスパイラル状の第 1 の導体が形成され、このスパイラル状の第 1 の導体の上方に絶縁層を介してスパイラル状の第 2 の導体が形成される場合、スパイラル状の第 2 の導体は露出することになる。このため、スパイラル状の第 2 の導体を金配線にすることにより、露出した場合においても腐食を防止することができる。

【0 0 1 3】

また、本発明は請求項 5 に記載されるように、請求項 1 乃至 4 の何れかに記載のインダクタ素子において、前記第 1 の導体と前記第 2 の導体とが上方からの視点で交互に隙間なく形成されている。



【0014】

第1の導体と第2の導体とが上方からの視点で交互に隙間なく形成されている場合には、ノイズの進入を抑制し、インダクタ素子の動作を安定させることが可能になる。

【0015】

また、本発明は請求項6に記載されるように、請求項1乃至5の何れかに記載のインダクタ素子を基板上に配置した電子回路装置である。

【0016】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0017】

(第1実施例)

図1乃至図4は、インダクタ素子を配置した第1の電子回路装置の製造工程を示す図である。図1に示す第1工程では、集積回路（図示せず）が形成された半導体基板100が形成され、更に当該半導体基板100の上面に複数の電極102が形成される。半導体基板100は、例えば、シリコン、ガリウム砒素、ゲルマニウム等を材料とする。電極102は、例えば、半導体基板100に集積回路が形成される際に、同時に形成される。

【0018】

図2に示す第2工程では、半導体基板100の上面にスパイラル状の導体パターン200が形成される。この際、半導体基板100に形成された複数の電極102何れかの上面にスパイラル状の導体パターン200の内周端202が形成される。これにより、内周端202は、外部接続端子として機能することになる。

【0019】

導体パターン200は、例えば、銅や金等を材料とする。導体パターン200の形成方法としてはサブトラクティブ法、セミアディティブ法、フルアディティブ法等が採用される。サブトラクティブ法は、半導体基板100の上面にスパッタやメッキにより導体層を形成し、次いで当該導体層の上面に感光性エッチングレジスト膜あるいは金属レジスト膜を形成し、エッチング法により、スパイラル



状の導体パターン 200 以外の部分の導体層を除去する方法である。セミアディティブ法は、半導体基板 100 の上面に無電解メッキを施した後、メッキレジストによりスパイラル状の導体パターン 200 を形成する部位を露出させ、露出した無電解メッキ膜を電極とし、スパイラル状の導体パターン 200 を形成する部分のみに電解メッキを成長させる方法である。フルアディティブ法は、メッキレジストを露光現像することにより、スパイラル状の導体パターン 200 を形成する部分のみに開口し、開口した部分のみに無電解メッキを成長させる方法である。

【0020】

図 3 に示す第 3 工程では、導体パターン 200 が形成された半導体基板 100 の上面に絶縁層 300 が塗布される。絶縁層 300 の材料には、粘度の高いワニス状のポリイミドを用いることが望ましい。ワニス状のポリイミドは、塗布後の平坦性及び平滑性が良好であり、微細な配線を形成することができるという利点を有する。

【0021】

図 4 に示す第 4 工程では、絶縁層 300 の上面にスパイラル状の導体パターン 400 が形成される。この際、スパイラル状の導体パターン 400 の内周端 402 が外部接続端子として機能する。また、スパイラル状の導体パターン 400 の外周端 404 は、スパイラル状の導体パターン 200 の外周端 204 と同一垂直線上に配置される。導体パターン 400 は、外部に露出するため、腐食しにくい金等を材料とする。この導体パターン 400 の形成方法としては、導体パターン 200 と同様、サブトラクティブ法、セミアディティブ法、フルアディティブ法等が採用される。

【0022】

更に、スパイラル状の導体パターン 400 の外周端 404 には、当該外周端 404 と、スパイラル状の導体パターン 200 の外周端 204 とを接続するビアとしての導体 406 が形成される。これにより、スパイラル状の導体パターン 200 とスパイラル状の導体パターン 400 とが 1 つのインダクタ素子として機能することになる。

【0023】

図5及び図6は、図1乃至図4の工程を経て製造される第1の電子回路装置の断面図である。図5は、導体パターン200と導体パターン400とが同一垂直線上に形成される構成となっている。これに対し、図6は、上方からの視点で、導体パターン200と導体パターン400とが交互に隙間なく形成される構成となっている。図6に示すような構成が採用される場合には、ノイズの進入を抑制し、インダクタ素子の動作を安定させることが可能になる。

【0024】

上述した導体パターン200と導体パターン400とを重ねた構造のインダクタ素子と、1つのスパイラル状の導体パターンにより形成されるインダクタ素子とを比較した場合、これらのインダクタンスが同一であれば、導体パターン200と導体パターン400とを重ねた構造のインダクタ素子の方が基板上における占有面積が少なく済む。また、導体パターン200と導体パターン400とを重ねた構造のインダクタ素子は、外部接続端子がスパイラル状の導体パターン200の内周端202とスパイラル状の導体パターン400の内周端402に形成される。従って、導体パターン200及び400の形成領域の周辺に外部接続端子の形成領域を確保する必要がなく、更なる高集積化を図ることができる。

【0025】

なお、導体パターン200及び400のパターン長を短くするとともに、幅を広くすることにより、同調回路の共振の鋭さを表す量であるQ値を大きくすることができる。この場合、高周波信号が流れる場合においてもインダクタ素子の動作を安定させることが可能になる。

【0026】

(第2実施例)

図7乃至図10は、インダクタ素子を配置した第2の電子回路装置の製造工程を示す図である。図7に示す第1工程では、2枚の樹脂基板500及び550が形成され、更に樹脂基板500を貫通する複数の電極502が形成される。電極502は、例えば、樹脂基板500にドリル加工により孔が形成され、更に、導電性ペーストが当該レジスト膜に形成された孔に流入することにより形成される

【0027】

図8に示す第2工程では、樹脂基板500の上面にスパイラル状の導体パターン600が形成される。この際、樹脂基板500に形成された複数の電極502の何れかの上面にスパイラル状の導体パターン600の内周端602が形成される。これにより、内周端602は、外部接続端子として機能することになる。導体パターン600は、例えば、銅や金等を材料とする。

【0028】

また、樹脂基板550の上面にスパイラル状の導体パターン650が形成される。導体パターン650は、外部に露出するため、腐食しにくい金等を材料とし、内周端652が外部接続端子として機能する。これら導体パターン600及び650の形成方法としては、第1実施例と同様、サブトラクティブ法、セミアディティブ法、フルアディティブ法等が採用される。

【0029】

図9に示す第3工程では、導体パターン600が形成された樹脂基板500の上面にプリプレグ700が形成される。プリプレグ700は、例えば高分子材料とフェライト材料とを混合、攪拌し、硬化させることによって形成される。

【0030】

図10に示す第4工程では、スパイラル状の導体パターン650が形成された樹脂基板550が積層される。この際、スパイラル状の導体パターン650の外周端654は、スパイラル状の導体パターン600の外周端604と同一垂直線上に配置される。:

更に、スパイラル状の導体パターン650の外周端654には、当該外周端654と、スパイラル状の導体パターン600の外周端604とを接続するビアとしての導体656が形成される。これにより、スパイラル状の導体パターン600とスパイラル状の導体パターン650とが1つのインダクタ素子として機能することになる。

【0031】

図11及び図12は、図7乃至図10の工程を経て製造される第2の電子回路

装置の断面図である。図11では、導体パターン600と導体パターン650とが同一垂直線上に形成される構成となっている。これに対し、図12では、上方からの視点で、導体パターン600と導体パターン650とが交互に隙間なく形成される構成となっている。図12に示すような構成が採用される場合には、図6に示すような構成が採用される場合と同様、ノイズの進入を抑制し、インダクタ素子の動作を安定させることが可能になる。

【0032】

本実施例においても第1実施例と同様、上述した導体パターン600と導体パターン650とを重ねた構造のインダクタ素子と、1つのスパイラル状の導体パターンにより形成されるインダクタ素子とを比較した場合、これらのインダクタンスが同一であれば、導体パターン600と導体パターン650とを重ねた構造のインダクタ素子の方が基板上における占有面積が少なく済む。また、導体パターン600と導体パターン650とを重ねた構造のインダクタ素子は、外部接続端子がスパイラル状の導体パターン600の内周端602とスパイラル状の導体パターン650の内周端652に形成される。従って、導体パターン600及び650の形成領域の周辺に外部接続端子の形成領域を確保する必要がなく、更なる高集積化を図ることができる。

【0033】

なお、導体パターン600及び650のパターン長を短くするとともに、幅を広くすることにより、同調回路の共振の鋭さを表す量であるQ値を大きくすることができる。この場合、高周波信号が流れる場合においてもインダクタ素子の動作を安定させることが可能になる。

【0034】

以上説明したように、第1及び第2実施例におけるインダクタ素子を用いることにより、基板上における占有面積が小さくてもインダクタンスを高くすることができる。このため、帯域通過フィルタやSAW (surface acoustic Wave) フィルタ等の部品数を削減することができる。

【0035】

なお、上述した実施形態では、半導体基板や樹脂基板の上面にスパイラル状の

導体パターンが形成されたが、他の基板、例えば、インターポーザ基板やフレキシブル基板等の上面にスパイラル状の導体パターンが形成される場合においても、同様に本発明を適用することができる。

【0036】

【発明の効果】

本発明によれば、高インダクタンスを維持しつつ、更なる高集積化を図ったインダクタ素子を実現することができる。

【図面の簡単な説明】

【図1】

第1実施例の電子回路装置の第1の製造工程を示す図である。

【図2】

第1実施例の電子回路装置の第2の製造工程を示す図である。

【図3】

第1実施例の電子回路装置の第3の製造工程を示す図である。

【図4】

第1実施例の電子回路装置の第4の製造工程を示す図である。

【図5】

第1実施例における電子回路装置の第1の断面図である。

【図6】

第1実施例における電子回路装置の第2の断面図である。

【図7】

第2実施例の電子回路装置の第1の製造工程を示す図である。

【図8】

第2実施例の電子回路装置の第2の製造工程を示す図である。

【図9】

第2実施例の電子回路装置の第3の製造工程を示す図である。

【図10】

第2実施例の電子回路装置の第4の製造工程を示す図である。

【図11】

第 2 実施例における電子回路装置の第 1 の断面図である。

【図 1 2】

第 2 実施例における電子回路装置の第 2 の断面図である。

【符号の説明】

1 0 0 半導体基板

1 0 2、5 0 2 電極

2 0 0、4 0 0、6 0 0、6 5 0 導体パターン

2 0 2、4 0 2、6 0 2、6 5 2 内周端（外部接続端子）

2 0 4、4 0 4、6 0 4、6 5 4 外周端

3 0 0 絶縁層

4 0 6、6 5 6 導体

5 0 0、5 5 0 樹脂基板

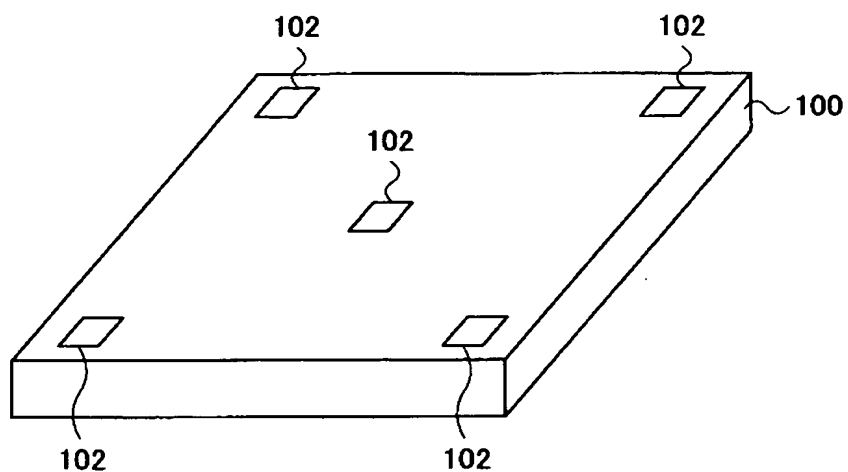
7 0 0 プリプレグ

【書類名】

図面

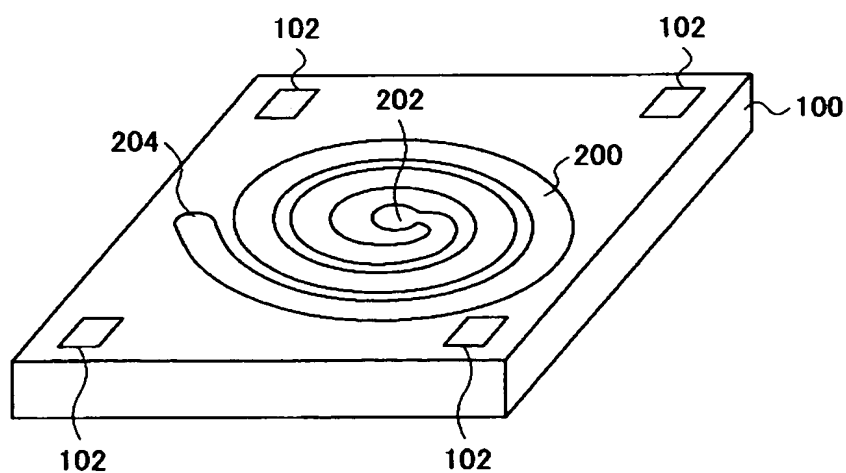
【図 1】

第 1 実施例の電子回路装置の第 1 の製造工程を示す図



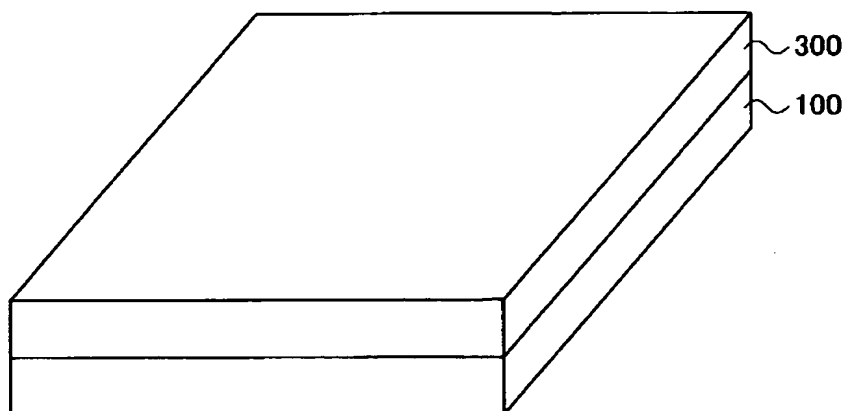
【図 2】

第 1 実施例の電子回路装置の第 2 の製造工程を示す図



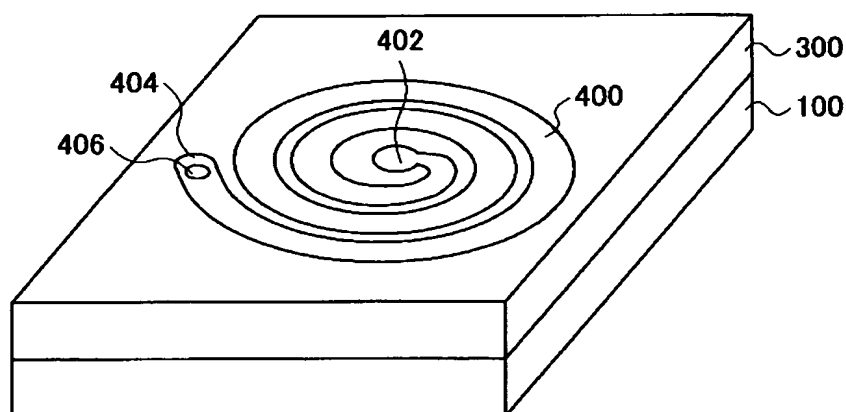
【図 3】

第 1 実施例の電子回路装置の第 3 の製造工程を示す図



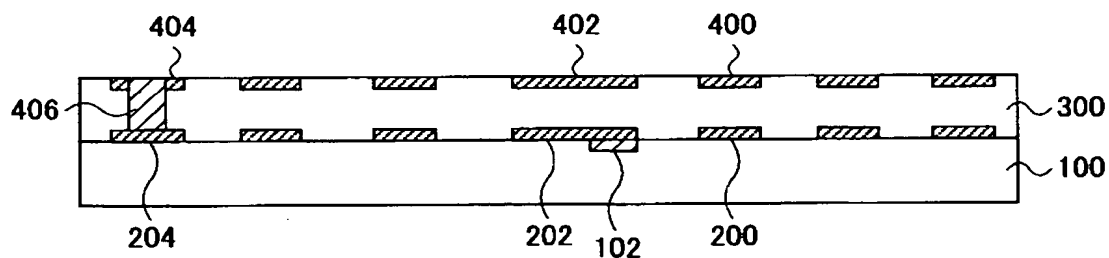
【図 4】

第 1 実施例の電子回路装置の第 4 の製造工程を示す図



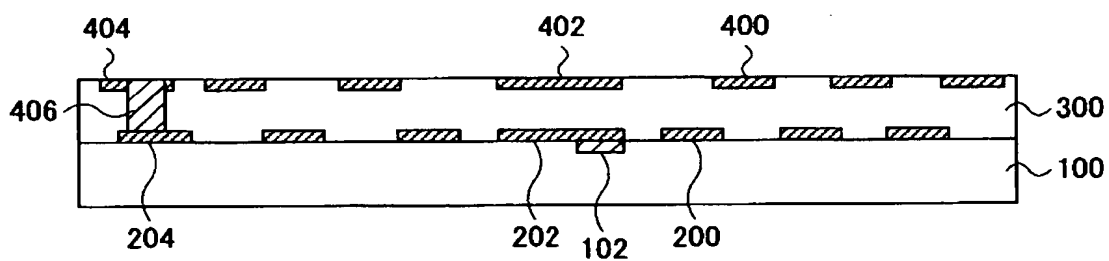
【図 5】

第 1 実施例における電子回路装置の第 1 の断面図



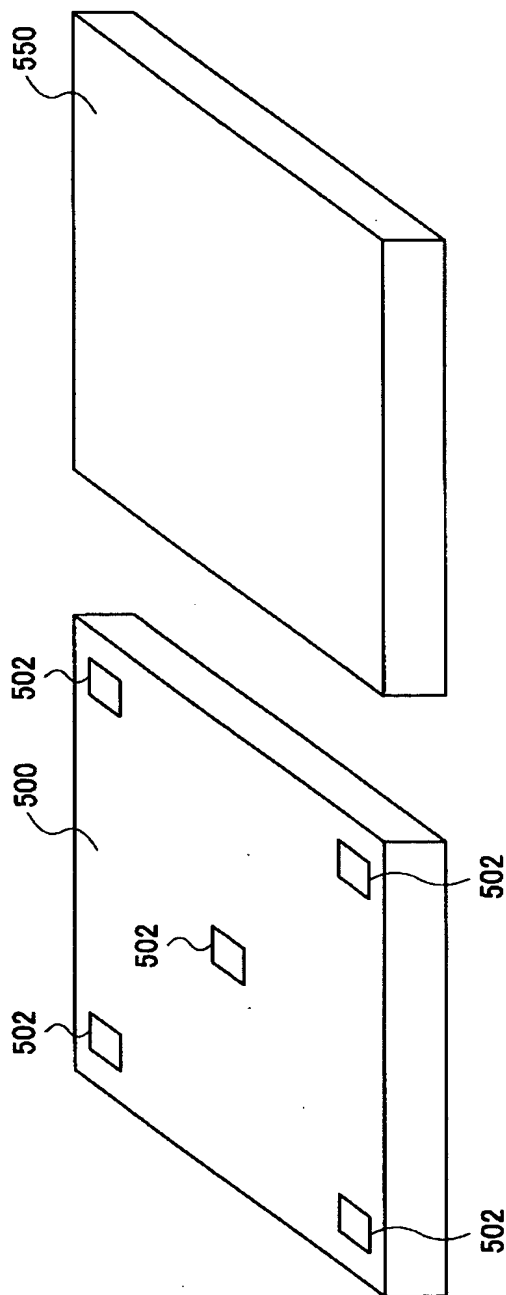
【図 6】

第 1 実施例における電子回路装置の第 2 の断面図



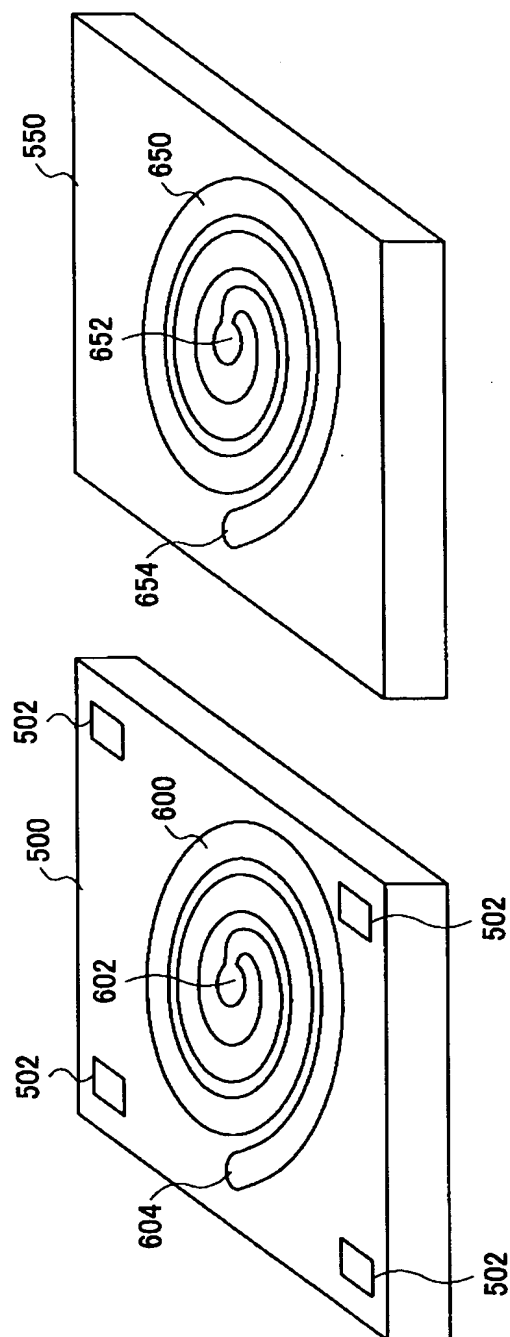
【図 7】

第 2 実施例の電子回路装置の第 1 の製造工程を示す図



【図 8】

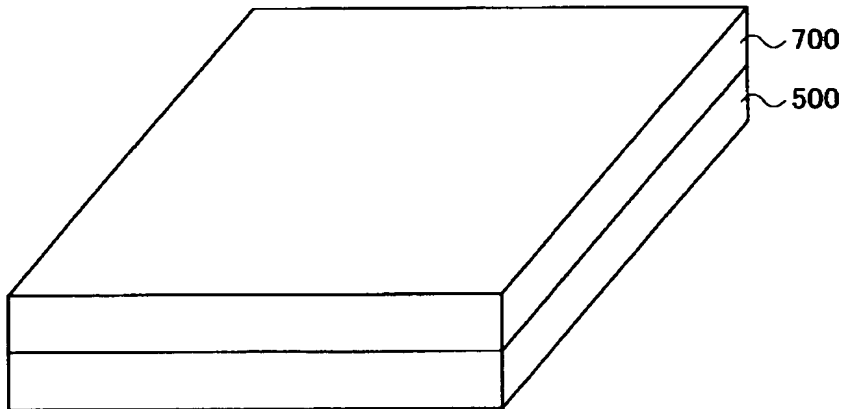
第 2 実施例の電子回路装置の第 2 の製造工程を示す図





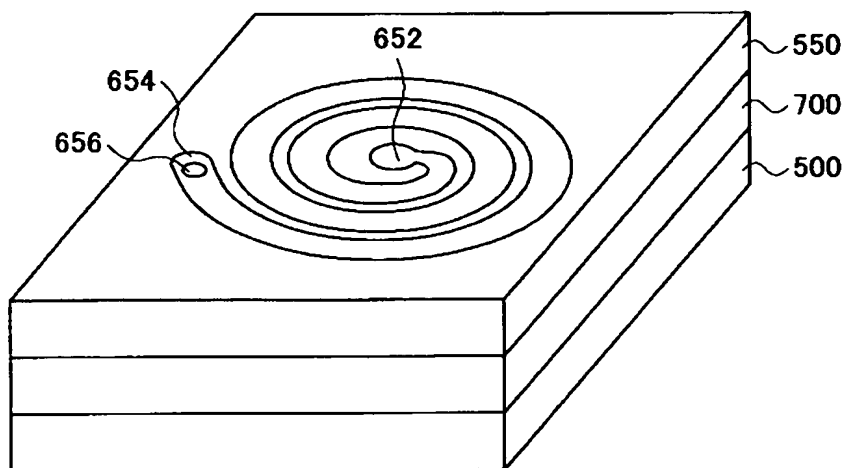
【図 9】

第 2 実施例の電子回路装置の第 3 の製造工程を示す図



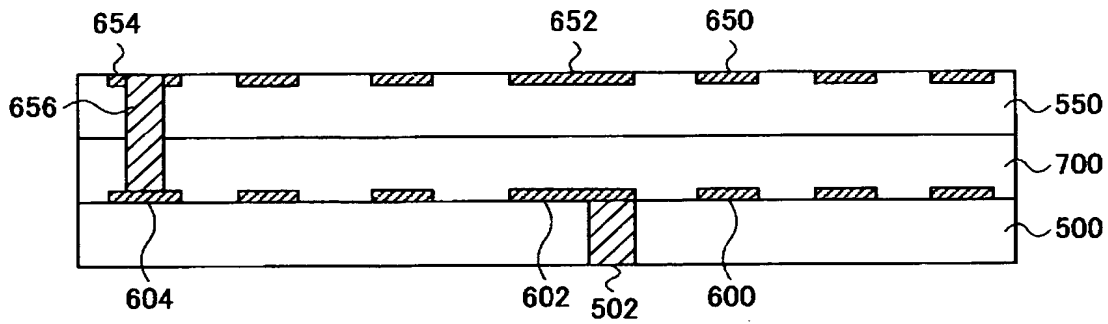
【図 10】

第 2 実施例の電子回路装置の第 4 の製造工程を示す図



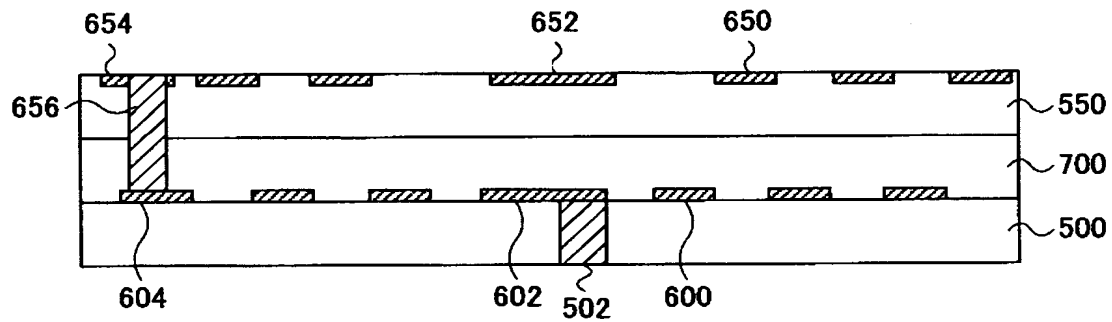
【図 1 1】

第 2 実施例における電子回路装置の第 1 の断面図



【図 1 2】

第 2 実施例における電子回路装置の第 2 の断面図



【書類名】 要約書

【要約】

【課題】 高インダクタンスを維持しつつ、更なる高集積化を図ったインダクタ素子を提供する。

【解決手段】 電子回路装置は、スパイラル状の導体パターン 2 0 0 とスパイラル状の導体パターン 4 0 0 とを重ねた構造のインダクタ素子を有しており、基盤 1 0 0 における導体パターンの占有面積を小さくすることができる。また、このインダクタ素子は、外部接続端子がスパイラル状の導体パターン 2 0 0 の内周端 2 0 2 とスパイラル状の導体パターン 4 0 0 の内周端 4 0 2 に形成される。従って、インダクタ素子は、導体パターン 2 0 0 及び 4 0 0 の形成領域の周辺に外部接続端子の形成領域を確保する必要がなく、更なる高集積化を図ることができる。

。

【選択図】 図 6

特願 2 0 0 3 - 1 1 1 7 1 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 9 0 6 8 8]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 長野県長野市大字栗田字舎利田 7 1 1 番地
氏 名 新光電気工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 住所変更
住 所 長野県長野市小島田町 8 0 番地
氏 名 新光電気工業株式会社